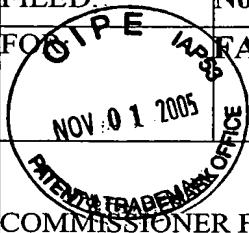
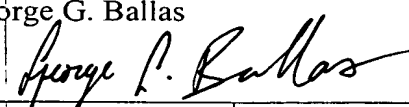


Docket No. 8733.936.00-US			
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE			
IN RE APPLICATION OF:		Seung Hee NAM et al.	GAU: 2871
SERIAL NO:	10/713,198	EXAMINER:	Zhi Qiang Qi
FILED:	November 17, 2003		
 FABRICATION METHOD OF LIQUID CRYSTAL DISPLAY PANEL			
CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT			
COMMISSIONER FOR PATENTS P.O. Box 1450 Alexandria, VA 22313-1450			
SIR:			
<input type="checkbox"/> Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.			
<input type="checkbox"/> Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).			
<input checked="" type="checkbox"/> Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.			
In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:			
COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR	
REPUBLIC OF KOREA	10-2002-0086997	December 30, 2002	
Certified copy of the corresponding Convention Application(s)			
<input checked="" type="checkbox"/> Is submitted herewith			
<input type="checkbox"/> will be submitted prior to payment of the Final Fee			
<input type="checkbox"/> were filed in prior application Serial No. filed			
<input type="checkbox"/> were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.			
<input type="checkbox"/> (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and			
(B) Application Serial No.(s)			
<input type="checkbox"/> are submitted herewith			
<input type="checkbox"/> will be submitted prior to payment of the Final Fee			
Date: November 1, 2005		Respectfully Submitted,	
		McKENNA LONG & ALDRIDGE LLP	
1900 K Street, N.W. Washington, D.C. 20006 Tel. (202) 496-7500 Fax. (202) 496-7756		George G. Ballas	
			
		Registration No.	52,587

CERTIFIED COPY OF
PRIORITY DOCUMENT

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086997
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

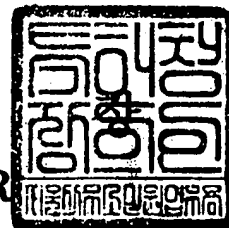
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 03 17 일
 년 월

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.12.30
【발명의 명칭】	액정표시패널 및 그 제조방법
【발명의 영문명칭】	Liquid Crystal Display Panel and Method of Fabricating the same
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	김민주
【성명의 영문표기】	KIM, Min Joo
【주민등록번호】	761111-2231712
【우편번호】	150-044
【주소】	서울특별시 영등포구 당산동4가 유원아파트 4-706
【국적】	KR
【발명자】	
【성명의 국문표기】	남승희
【성명의 영문표기】	NAM, Seung Hee
【주민등록번호】	730915-1690911
【우편번호】	431-838
【주소】	경기도 안양시 동안구 호계2동 943-22호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 호 (인) 김 영

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 18 면 18,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 47,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 기판 구조 및 제조공정을 단순화시킬 수 있는 액정표시패널 및 그 제조 방법에 관한 것이다.

본 발명은 기판상에 형성된 게이트 라인과 데이터 라인의 교차구조로 마련된 영역마다 형성된 박막 트랜지스터 및 화소전극과 상기 게이트 라인과 접속된 게이트 패드를 포함하는 게이트 패드부와 상기 데이터 라인과 접속된 데이터 패드를 포함하는 데이터 패드부를 포함하는 다수개의 박막 트랜지스터 어레이 기판을 포함하는 기판을 형성하는 단계와; 상기 패드부를 제외한 상기 기판의 나머지 영역상에 차단판을 정렬시키는 단계와; 상기 차단판을 이용한 식각공정에 의해 상기 패드부의 게이트 패드, 데이터 패드 보호전극을 노출시키는 단계를 포함하는 것을 특징으로 한다.

본 발명은 3 마스크 공정을 채용하여 기판구조 및 제조공정을 단순화 시킴으로써 제조 단가를 절감할 수 있다.

【대표도】

도 11

【명세서】**【발명의 명칭】**

액정표시패널 및 그 제조방법{Liquid Crystal Display Panel and Method of Fabricating the same}

【도면의 간단한 설명】

도 1은 통상적인 액정표시패널에 포함되는 박막 트랜지스터 어레이 기판의 일부분을 도시한 평면도.

도 2는 도 1에 도시된 박막 트랜지스터 어레이 기판을 I-I'선을 따라 절단하여 도시한 단면도.

도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 어레이 기판을 도시한 단면도.

도 4는 본 발명의 제1 실시예에 따른 액정표시패널에 포함되는 박막 트랜지스터 어레이 기판을 도시한 평면도.

도 5는 도 6에 도시된 박막 트랜지스터 어레이 기판을 II-II'선을 따라 도시한 단면도.

도 6a 내지 도 6d는 도 5에 도시된 박막 트랜지스터 어레이 기판의 제조방법을 단계적으로 도시한 단면도.

도 6e는 컬러필터 어레이 기판과 도 2에 도시된 박막 트랜지스터 어레이 기판의 합착 단계를 도시한 단면도.

도 7은 액정표시패널의 패드부를 오픈 시키기 위해 패드부를 식각액에 딥핑하는 단계를 도시한 단면도.

도 8은 본 발명의 제2 실시예에 따른 액정표시패널에 포함되는 박막 트랜지스터 어레이 기판을 도시한 평면도.

도 9는 도 8에 도시된 박막 트랜지스터 어레이 기판을 III-III'선을 따라 도시한 단면도.

도 10a 내지 도 10d는 도 9에 도시된 박막 트랜지스터 어레이 기판의 제조방법을 단계적으로 도시한 단면도.

도 11는 본 발명의 제2 실시예에 따른 액정표시패널의 패드부 노출 단계를 나타낸 평면도.

<도면의 주요 부분에 대한 부호의 설명>

2, 52 : 게이트 라인

4, 58 : 데이터 라인

6, 80 : 박막 트랜지스터

8, 54 : 게이트 전극

10, 60 : 소스 전극

12, 62 : 드레인 전극

14, 92 : 활성층

16 : 제 1 컨택홀

18, 72 : 화소전극

26, 82 : 게이트 패드부

28, 56 : 게이트 패드

34, 84 : 데이터 패드부

40, 76 : 데이터 패드 보호전극

44, 90 : 게이트 절연막

48, 94 : 오믹접촉층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <22> 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히 기판 구조 및 제조공정을 단순화시킬 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.
- <23> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 액정패널을 구동하기 위한 구동회로를 구비한다.
- <24> 액정패널은 서로 대향하는 박막 트랜지스터 어레이 기판 및 칼러필터 어레이 기판과, 두 기판 사이에 일정한 셀갭 유지를 위해 위치하는 스페이서와, 그 셀갭에 채워진 액정을 구비한다.
- <25> 박막 트랜지스터 어레이 기판은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차부마다 스위치소자로 형성된 박막 트랜지스터와, 액정셀 단위로 형성되어 박막 트랜지스터에 접속된 화소 전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막 트랜지스터는 게이트 라인에 공급되는 스캔신호에 응답하여 데이터 라인에 공급되는 화소전압신호를 화소 전극에 공급한다.

- <26> 칼라필터 어레이 기판은 액정셀 단위로 형성된 칼라필터들과, 칼라필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.
- <27> 액정패널은 박막 트랜지스터 어레이 기판과 칼라필터 어레이 기판을 별도로 제작하여 합착한 다음 액정을 주입하고 봉입함으로써 완성하게 된다.
- <28> 이러한 액정패널에서 박막 트랜지스터 어레이 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정패널 제조단가 상승의 주요원인이 되고 있다. 이를 해결하기 위하여, 박막 트랜지스터 어레이 기판은 마스크 공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 증착공정, 세정공정, 포토리쓰그래피 공정, 식각공정, 포토레지스트 박리공정, 검사공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막 트랜지스터 어레이 기판의 표준 마스크 공정이던 5 마스크 공정에서 하나의 마스크 공정을 줄인 4 마스크 공정이 대두되고 있다.
- <29> 도 1은 4 마스크 공정을 채용한 박막 트랜지스터 어레이 기판을 예를 들어 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 어레이 기판을 I-I'선을 따라 절단하여 도시한 단면도이다.
- <30> 도 1 및 도 2에 도시된 박막 트랜지스터 어레이 기판은 하부기판(42) 위에 게이트 절연막(44)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(6)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(18)을 구비한다. 그리고, 박막 트랜지스터 어레이 기판은 화소전극(18)과 이전단 게

이트 라인(2)의 중첩부에 형성된 스토리지 캐패시터(20)와, 게이트 라인(2)에 접속되는 게이트 패드부(26)와, 데이터 라인(4)에 접속되는 데이터 패드부(34)를 구비한다.

<31> 박막 트랜지스터(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(16)에 접속된 드레인 전극(12)과, 게이트 전극(8)과 중첩되고 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(14)을 구비한다. 활성층(14)은 데이터 패드(36), 스토리지 전극(22), 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 중첩되게 형성되고 소스 전극(10)과 드레인 전극(12) 사이의 채널부를 더 포함한다. 활성층(14) 위에는 데이터 패드(36), 스토리지 전극(22), 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 오믹접촉을 위한 오믹접촉층(48)이 더 형성된다. 이러한 박막 트랜지스터(6)는 게이트 라인(2)에 공급되는 게이트 신호에 응답하여 데이터 라인(4)에 공급되는 화소전압 신호가 화소 전극(18)에 충전되어 유지되게 한다.

<32> 화소 전극(18)은 보호막(50)을 관통하는 제1 컨택홀(16)을 통해 박막 트랜지스터(6)의 드레인 전극(12)과 접속된다. 화소 전극(18)은 충전된 화소전압에 의해 도시하지 않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기판과 상부 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(18)을 경유하여 입사되는 광을 상부 기판 쪽으로 투과시키게 된다.

<33> 스토리지 캐패시터(20)는 이전단 게이트라인(2)과, 그 게이트라인(2)과 게이트 절연막(44), 활성층(14) 및 오믹접촉층(48)을 사이에 두고 중첩되는 스토리지

전극(22)과, 그 스토리지 전극(22)과 보호막(50)을 사이에 두고 중첩됨과 아울러 그 보호막(50)에 형성된 제2 컨택홀(24)을 경유하여 접속된 화소전극(22)으로 구성된다. 이러한 스토리지 캐패시터(20)는 화소 전극(18)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 안정적으로 유지되게 한다.

<34> 게이트 라인(2)은 게이트 패드부(26)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드부(26)는 게이트 라인(2)으로부터 연장되는 게이트 패드(28)와, 게이트 절연막(44) 및 보호막(50)을 관통하는 제3 컨택홀(30)을 통해 게이트 패드(28)에 접속된 게이트 패드 보호전극(32)으로 구성된다.

<35> 데이터 라인(4)은 데이터 패드부(34)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드부(34)는 데이터 라인(4)으로부터 연장되는 데이터 패드(36)와, 보호막(50)을 관통하는 제4 컨택홀(38)을 통해 데이터 패드(36)와 접속된 데이터 패드 보호전극(40)으로 구성된다.

<36> 이러한 구성을 가지는 박막 트랜지스터 기판의 제조방법을 4마스크 공정을 이용하여 상세히 하면 도 3a 내지 도 3d에 도시된 바와 같다.

<37> 도 3a를 참조하면, 하부기판(42) 상에 게이트 패턴들이 형성된다.

<38> 하부기판(42) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각공정으로 게이트 금속층이 패터닝됨으로써 게이트라인(2), 게이트전극(8), 게이트 패드(28)를 포함하는 게이트 패턴들이 형성된다. 게이트 금속으로는 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속 등이 단일층 또는 이중층 구조로 이용된다.

- <39> 도 3b를 참조하면, 게이트 패터들이 형성된 하부기관(42) 상에 게이트 절연막(44), 활성층(14), 오믹접촉층(48), 그리고 소스/드레인 패터들이 순차적으로 형성된다.
- <40> 게이트 패터들이 형성된 하부기관(42) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연막(44), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다.
- <41> 소스/드레인 금속층 위에 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패터를 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패터가 다른 소스/드레인 패터부 보다 낮은 높이를 갖게 한다.
- <42> 이어서, 포토레지스트 패터를 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(4), 소스 전극(10), 그 소스 전극(10)과 일체화된 드레인 전극(12), 스토리지 전극(22)을 포함하는 소스/드레인 패터들이 형성된다.
- <43> 그 다음, 동일한 포토레지스트 패터를 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹접촉층(48)과 활성층(14)이 형성된다.
- <44> 그리고, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패터가 애싱(Ashing) 공정으로 제거된 후 건식 식각공정으로 채널부의 소스/드레인 패터 및 오믹접촉층(48)이 식각된다. 이에 따라, 채널부의 활성층(14)이 노출되어 소스 전극(10)과 드레인 전극(12)이 분리된다.

- <45> 이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다.
- <46> 게이트 절연막(44)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다. 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.
- <47> 도 3c를 참조하면, 소스/드레인 패턴들이 형성된 게이트 절연막(44) 상에 제1 내지 제4 콘택홀들(16, 24, 30, 38)을 포함하는 보호막(50)이 형성된다.
- <48> 소스/드레인 패턴들이 형성된 게이트 절연막(44) 상에 PECVD 등의 증착방법으로 보호막(50)이 전면 형성된다. 보호막(50)은 제3 마스크를 이용한 포토리소그래피 공정과 식각공정으로 패터닝됨으로써 제1 내지 제4 콘택홀들(16, 24, 30, 38)이 형성된다. 제1 콘택홀(16)은 보호막(50)을 관통하여 드레인 전극(12)이 노출되게 형성되고, 제2 콘택홀(24)은 보호막(50)을 관통하여 스토리지 전극(22)이 노출되게 형성된다. 제3 콘택홀(30)은 보호막(50) 및 게이트 절연막(44)을 관통하여 게이트 패드(28)가 노출되게 형성된다. 제4 콘택홀(38)은 보호막(50)을 관통하여 데이터 패드(36)가 노출되게 형성된다.
- <49> 보호막(50)의 재료로는 게이트 절연막(94)과 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.
- <50> 도 3d를 참조하면, 보호막(50) 상에 투명전극 패턴들이 형성된다.
- <51> 보호막(50) 상에 스퍼터링 등의 증착방법으로 투명전극 물질이 전면 증착된다.
- 이어서 제4 마스크를 이용한 포토리소그래피 공정과 식각공정을 통해 투명전극 물질이

패팅넘됨으로써 화소전극(18), 게이트 패드 보호전극(32), 데이터 패드 보호전극(40)을 포함하는 투명전극 패턴들이 형성된다. 화소 전극(18)은 제1 콘택홀(16)을 통해 드레인 전극(12)과 전기적으로 접속되고, 제2 콘택홀(24)을 통해 이전단 게이트라인(2)과 중첩되는 스토리지 전극(22)과 전기적으로 접속된다. 게이트 패드 보호전극(32)는 제3 콘택홀(30)을 통해 게이트 패드(28)과 전기적으로 접속된다. 데이터 패드 보호전극(40)은 제4 콘택홀(38)을 통해 데이터 패드(36)와 전기적으로 접속된다. 투명전극 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다.

<52> 이와 같이 종래의 박막 트랜지스터 어레이 기판 및 그 제조방법은 4마스크 공정을 채용함으로써 5마스크 공정을 이용한 경우보다 제조공정수를 줄임과 아울러 그에 비례하는 제조단가를 절감할 수 있게 된다. 그러나, 4 마스크 공정 역시 여전히 제조공정이 복잡하여 원가 절감에 한계가 있으므로 제조공정을 더욱 단순화하여 제조단가를 더욱 줄일 수 있는 액정표시패널 및 그 제조방법이 요구된다.

<53> 한편, 종래 박막 트랜지스터 어레이 기판의 패드부 오픈 공정은 포토리소그래피 공정에 의해 실행됨으로써 공정이 복잡함과 동시에 재료비가 많이 드는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<54> 따라서, 본 발명의 목적은 기판 구조 및 제조공정을 단순화시킬 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.

【발명의 구성 및 작용】

- <55> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 기판상에 형성된 게이트 라인과 데이터 라인의 교차구조로 마련된 영역마다 형성된 박막 트랜지스터 및 화소전극과 상기 게이트 라인과 접속된 게이트 패드를 포함하는 게이트 패드부와 상기 데이터 라인과 접속된 데이터 패드를 포함하는 데이터 패드부를 포함하는 다수개의 박막 트랜지스터 어레이 기판을 포함하는 기판을 형성하는 단계와; 상기 상기 패드부를 제외한 상기 기판의 나머지 영역상에 차단판을 정렬시키는 단계와; 상기 차단판을 이용한 식각공정에 의해 상기 패드부의 게이트 패드, 데이터 패드 보호전극을 노출시키는 단계를 포함하는 것을 특징으로 한다.
- <56> 상기 액정표시패널의 제조방법은 상기 게이트 패드와 데이터 패드 보호전극이 노출된 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판을 합착하는 단계를 추가로 포함하는 것을 특징으로 한다.
- <57> 상기 차단판은 금속으로 이루어지는 것을 특징으로 한다.
- <58> 상기 차단판은 몰리브덴(Mo)을 제외한 금속이 이용되는 것을 특징으로 한다.
- <59> 상기 박막 트랜지스터 어레이 기판을 형성하는 단계는 제 1 마스크 공정을 이용하여 기판상에 박막 트랜지스터의 게이트 전극, 게이트 전극과 접속되는 게이트 라인, 게이트 라인과 접속되는 게이트 패드를 포함하는 게이트 패턴을 형성하는 단계와; 상기 게이트 패턴이 형성된 기판상에 게이트 절연막을 형성하는 단계와; 제 2 마스크 공정을 이용하여 상기 게이트 절연막상에 상기 박막 트랜지스터의 소스전극 및 드레인 전극, 상기 소스전극과 접속되는 데이터 라인, 상기 데이터 라인과 접속되는 데이터 패드, 상기

게이트 라인과 중첩되는 영역에 스토리지 전극을 포함하는 소스/드레인 패턴과 상기 소스/드레인 패턴을 따라 그 하부에 형성되는 반도체 패턴을 형성하는 단계와; 제 3 마스크 공정을 이용하여 상기 드레인 전극과 스토리지 전극에 접속되는 화소전극, 상기 데이터 패드를 덮도록 형성된 데이터 패드 보호전극을 포함하는 투명전극 패턴과, 상기 투명전극 패턴이 형성된 기판상에 보호막을 형성하는 단계를 포함하는 것을 특징으로 한다.

<60> 상기 게이트 패드부의 게이트 패드를 노출시키는 단계는 상기 게이트 패드부에 형성된 보호막과 게이트 절연막을 건식 식각공정을 이용하여 제거하는 단계를 포함하는 것을 특징으로 한다.

<61> 상기 데이터 패드부의 데이터 패드 보호전극을 노출시키는 단계는 상기 데이터 패드부에 형성된 보호막과 상기 데이터 패드 보호전극과 중첩되지 않는 게이트 절연막을 건식 식각공정을 이용하여 제거하는 단계를 포함하는 것을 특징으로 한다.

<62> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<63> 이하, 도 4 내지 도 11를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<64> 도 4은 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판을 도시한 평면도이고, 도 5은 도 4에 도시된 박막 트랜지스터 어레이 기판을 II-II'선을 따라 절단하여 도시한 단면도이다.

<65> 도 4 및 도 5에 도시된 박막 트랜지스터 어레이 기판은 하부기판(88) 위에 게이트 절연막(90)을 사이에 두고 교차하게 형성된 게이트 라인(52) 및 데이터 라인(58)과, 그 교차부마다 형성된 박막 트랜지스터(80)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(72)을 구비한다. 그리고, 박막 트랜지스터 어레이 기판은 이전단 게이트 라인(52)의 중첩부에 형성된 스토리지 캐패시터(78)와, 게이트 라인(52)에 접속되는 게이트 패드부(82)와, 데이터 라인(58)에 접속되는 데이터 패드부(84)를 구비한다.

<66> 박막 트랜지스터(80)는 게이트 라인(52)에 접속된 게이트 전극(54)과, 데이터 라인(58)에 접속된 소스 전극(60)과, 화소 전극(72)에 접속된 드레인 전극(62)과, 게이트 전극(54)과 게이트 절연 패턴(90)을 사이에 두고 중첩되고 소스 전극(60)과 드레인 전극(62) 사이에 채널(70)을 형성하는 활성층(92)을 포함하는 반도체 패턴(147)을 구비한다. 이러한 박막 트랜지스터(80)는 게이트 라인(52)에 공급되는 게이트 신호에 응답하여 데이터 라인(58)에 공급되는 화소전압 신호가 화소 전극(72)에 충전되어 유지되게 한다.

<67> 반도체 패턴(147)은 소스 전극(60)과 드레인 전극(62) 사이의 채널부를 포함하면서 소스 전극(60), 드레인 전극(62), 데이터 라인(58), 그리고 데이터 패드(64)와 중첩된다. 활성층(92) 위에 소스 전극(60), 드레인 전극(62), 데이터 라인(58), 그리고 데이터 패드(64)와 오믹접촉을 위해 형성된 오믹접촉층(66)을 더 구비한다. 이러한 활성층(92) 및 오믹접촉층(94)을 포함하는 반도체 패턴은 게이트 절연 막(90)을 사이에 두고 게이트 라인(52)을 따라 중첩되게 형성되면서도 셀과 셀사이, 즉 데이터 라인(58)과 데이터 라인(58) 사이에서 분리되게 형성된다. 이에 따라, 활성층(92) 및 오믹접촉층(94)을 포함하는 반도체 패턴에 의한 셀들간의 신호간섭을 방지할 수 있게 된다.

- <68> 화소 전극(72)은 박막 트랜지스터(80)의 드레인 전극(62)과 접속된다. 화소 전극(72)은 충전된 화소전압에 의해 도시하지 않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기판과 상부 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(72)을 경유하여 입사되는 광을 상부 기판 쪽으로 투과시키게 된다.
- <69> 스토리지 캐패시터(78)는 이전단 게이트 라인(52)과 게이트 절연막(90)으로 구성된다. 이러한 스토리지 캐패시터(78)는 화소 전극(72)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 안정적으로 유지되게 한다.
- <70> 게이트 라인(52)은 게이트 패드부(82)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드부(82)는 게이트 라인(52)으로부터 연장되는 게이트 패드(56)와, 게이트 패드(56) 위에 게이트 절연막(90)과 보호막(70)으로 구성된다.
- <71> 데이터 라인(58)은 데이터 패드부(84)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드부(84)는 데이터 라인(58)으로부터 연장되는 데이터 패드(64)와, 데이터 패드와 접속되는 데이터 패드 보호전극(76), 데이터 패드(64)를 덮는 보호막(70)과 데이터 패드(64)와 하부기판(88) 사이에 형성된 게이트 절연막(90), 활성층(92), 그리고 오믹접촉층(94)을 포함한다.
- <72> 이러한 구성을 가지는 액정표시패널에 포함되는 박막 트랜지스터 어레이 기판은 3마스크 공정으로 형성된다. 3마스크 공정을 이용한 본 발명의 실시 예에 따른 액정표시패널의 제조방법은 게이트 패턴들을 형성하기 위한 제1 마스크 공정과, 반도체 패턴, 그리고 소스/드레인 패턴들을 형성하기 위한 제2 마스크 공정과, 투명전극 패턴들과 보호막을 형성하기 위한 제3 마스크 공정을 포함하게 된다.

- <73> 도 6a 내지 도 6e는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판 제조 방법을 단계적으로 도시한 단면도들이다.
- <74> 도 6a를 참조하면, 하부기판(88)상에 게이트 패턴을 위해 하부기판(88) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(52), 게이트 전극(54), 게이트 패드(56)를 포함하는 게이트 패턴들이 형성된다. 게이트 금속으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 단일층 또는 이중층 구조로 이용된다.
- <75> 도 6b를 참조하면, 게이트 패턴들이 형성된 하부기판(88) 상에 게이트 절연막(90)이 형성되고, 그 위에 제 2 마스크공정으로 반도체 패턴과 소스/드레인 패턴들이 적층된다.
- <76> 게이트 패턴들이 형성된 하부기판(88) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연막(90), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 데이터 금속층이 순차적으로 형성된다.
- <77> 소스/드레인 금속층 위에 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 데이터 패턴부 보다 낮은 높이를 갖게 한다.

- <78> 이어서, 포토레지스트 패턴을 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(58), 소스 전극(60), 그 소스 전극(60)과 일체화된 드레인 전극(62), 데이터 패드(64)를 포함하는 소스/드레인 패턴이 형성된다.
- <79> 그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n^+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 상기 소스/드레인 패턴을 따라 반도체 패턴, 즉 오믹접촉층(94)과 활성층(92)이 형성된다.
- <80> 그리고, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 애싱(Ashing) 공정으로 제거된 후 건식 식각공정으로 채널부의 소스/드레인 패턴 및 오믹접촉층(94)이 식각된다. 이에 따라, 채널부의 활성층(92)이 노출되어 소스 전극(60)과 드레인 전극(62)이 분리된다.
- <81> 이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다.
- <82> 게이트 절연막(90)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다. 데이터 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴합금(Mo alloy) 등이 이용된다.
- <83> 도 6c를 참조하면, 제3 마스크 공정으로 투명전극 패턴이 형성된다. 구체적으로 데이터 패턴들이 형성된 게이트 절연막(90)상에 스퍼터링 등의 증착방법으로 투명물질이 전면 증착된다. 이어서, 제3 마스크를 이용한 포토리소그래피 공정과 식각공정을 통해 투명전극 물질이 패터닝됨으로써 화소전극(72)과 데이터 패드 보호전극(76)이 형성된다. 화소전극(72)은 드레인 전극(62)과 전기적으로 접속되며, 데이터 패드 보호전극(76)은

데이터 패드(64)와 전기적으로 접속된다. 화소전극(72)의 물질로는 인듐주석산화물 (Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다.

<84> 그 다음, 도 6d에 도시된 바와 같이 하부기판(88)상에 보호막(70)이 전면 형성된다. 보호막(70)으로는 SiN_x , SiO_x 와 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.

<85> 도 6e를 참조하면, 하부 배향막(17)이 도포된 박막 트랜지스터 어레이 기판은 실재(99)를 이용하여 컬러필터 어레이 기판과 합착된다. 컬러필터 어레이 기판은 상부기판(100)상에 매트릭스 형태로 형성된 블랙 매트릭스(102)와, 블랙 매트릭스(102)로 구분된 셀영역별로 형성된 컬러필터(104)와, 블랙 매트릭스(102) 및 컬러필터(104) 위에 순차 적층된 공통전극(106) 및 상부 배향막(108)을 구비한다.

<86> 한편, 종래 액정표시패널은 하부기판(88)상에 박막 트랜지스터 어레이 기판이 다수개 형성된 후 스크라이빙공정으로 다수개의 액정표시패널로 분리된다. 분리된 액정표시패널에는 액정이 주입되며, 액정이 주입된 액정표시패널을 도 7에 도시된 바와같이 식각액에 담가 컬러필터 어레이 기판을 마스크로 패드부를 선택적으로 노출시킨다.

<87> 이와 같은 패드부 오픈 공정 후, 액정표시패널에 불량이 발생할 경우, 액정표시패널은 패드 오픈을 위한 식각액, 컬러필터 어레이 기판 사이에 주입되는 액정등을 포함한 재료비의 낭비가 발생하는 문제점이 있다.

- <88> 도 8은 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판을 도시한 평면도이고, 도 9는 도 8에 도시된 박막 트랜지스터 어레이 기판을 III-III'선을 따라 절단하여 도시한 단면도이다.
- <89> 도 8 및 도 9에 도시된 박막 트랜지스터 어레이 기판은 하부기판(188) 위에 게이트 절연막(190)을 사이에 두고 교차하게 형성된 게이트 라인(152) 및 데이터 라인(158)과, 그 교차부마다 형성된 박막 트랜지스터(180)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(172)을 구비한다. 그리고, 박막 트랜지스터 어레이 기판은 이전단 게이트 라인(152)의 중첩부에 형성된 스토리지 캐패시터(178)와, 게이트 라인(152)에 접속되는 게이트 패드부(182)와, 데이터 라인(158)에 접속되는 데이터 패드부(184)를 구비한다.
- <90> 박막 트랜지스터(180)는 게이트 라인(152)에 접속된 게이트 전극(154)과, 데이터 라인(158)에 접속된 소스 전극(160)과, 화소 전극(172)에 접속된 드레인 전극(162)과, 게이트 전극(154)과 게이트 절연 패턴(190)을 사이에 두고 중첩되고 소스 전극(160)과 드레인 전극(162) 사이에 채널(170)을 형성하는 활성층(192)을 포함하는 반도체 패턴을 구비한다. 이러한 박막 트랜지스터(180)는 게이트 라인(152)에 공급되는 게이트 신호에 응답하여 데이터 라인(158)에 공급되는 화소전압 신호가 화소 전극(172)에 충전되어 유지되게 한다.
- <91> 반도체 패턴은 소스 전극(160)과 드레인 전극(162) 사이의 채널부를 포함하면서 소스 전극(160), 드레인 전극(162), 데이터 라인(158), 그리고 데이터 패드(164)와 중첩된다. 활성층(192) 위에 소스 전극(160), 드레인 전극(162), 데이터 라인(158), 그리고 데이터 패드(164)와 오믹접촉을 위해 형성된 오믹접촉층(166)을 더 구비한다. 이러한 활성

층(192) 및 오믹접촉층(194)을 포함하는 반도체 패턴은 게이트 절연막(190)을 사이에 두고 게이트 라인(152)을 따라 중첩되게 형성되면서도 셀과 셀사이, 즉 데이터 라인(158)과 데이터 라인(158) 사이에서 분리되게 형성된다. 이에 따라, 활성층(192) 및 오믹접촉층(194)을 포함하는 반도체 패턴에 의한 셀들간의 신호간섭을 방지할 수 있게 된다.

<92> 화소 전극(172)은 박막 트랜지스터(180)의 드레인 전극(162)과 접속된다. 화소 전극(172)은 충전된 화소전압에 의해 도시하지 않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기판과 상부 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(172)을 경유하여 입사되는 광을 상부 기판 쪽으로 투과시키게 된다.

<93> 스토리지 캐패시터(178)는 이전단 게이트 라인(152)과 게이트 절연막(190)으로 구성된다. 이러한 스토리지 캐패시터(178)는 화소 전극(172)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 안정적으로 유지되게 한다.

<94> 게이트 라인(152)은 게이트 패드부(182)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드부(182)는 게이트 라인(152)으로부터 연장되는 게이트 패드(156)와, 게이트 패드(156) 위에 게이트 절연막(190)과 보호막(170)으로 구성된다.

<95> 데이터 라인(158)은 데이터 패드부(184)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드부(184)는 데이터 라인(158)으로부터 연장되는 데이터 패드(164)와, 데이터 패드(164)와 접속되는 데이터 패드 보호전극(176), 데이터 패드(164)를 덮는 보호막(170)과 데이터 패드(164)와 하부기판(188) 사이에 형성된 게이트 절연막(190), 활성층(192), 그리고 오믹접촉층(194)을 포함한다.

- <96> 이러한 구성을 가지는 액정표시패널에 포함되는 박막 트랜지스터 어레이 기판은 3 마스크 공정으로 형성된다. 3마스크 공정을 이용한 본 발명의 실시 예에 따른 액정표시 패널의 제조방법은 게이트 패턴들을 형성하기 위한 제1 마스크 공정과, 반도체 패턴, 그리고 소스/드레인 패턴들을 형성하기 위한 제2 마스크 공정과, 투명전극 패턴들과 보호막을 형성하기 위한 제3 마스크 공정을 포함하게 된다.
- <97> 도 10a 내지 도 10e는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 어레이 기판 제조방법을 단계적으로 도시한 단면도들이다.
- <98> 도 10a를 참조하면, 하부기판(188)상에 게이트 패턴을 위해 하부기판(188) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(152), 게이트 전극(154), 게이트 패드(156)를 포함하는 게이트 패턴들이 형성된다. 게이트 금속으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 단일층 또는 이중층 구조로 이용된다.
- <99> 도 10b를 참조하면, 게이트 패턴들이 형성된 하부기판(188) 상에 게이트 절연막(190)이 형성되고, 그 위에 제 2 마스크공정으로 반도체 패턴과 소스/드레인 패턴들이 적층된다.
- <100> 게이트 패턴들이 형성된 하부기판(188) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연막(190), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 데이터 금속층이 순차적으로 형성된다.

- <101> 소스/드레인 금속층 위에 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 데이터 패턴부 보다 낮은 높이를 갖게 한다.
- <102> 이어서, 포토레지스트 패턴을 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(158), 소스 전극(160), 그 소스 전극(160)과 일체화된 드레인 전극(162), 데이터 패드(164)를 포함하는 소스/드레인 패턴이 형성된다.
- <103> 그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 상기 소스/드레인 패턴을 따라 반도체 패턴, 즉 오믹접촉층(194)과 활성층(192)이 형성된다.
- <104> 그리고, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 애싱(Ashing) 공정으로 제거된 후 건식 식각공정으로 채널부의 소스/드레인 패턴 및 오믹접촉층(194)이 식각된다. 이에 따라, 채널부의 활성층(192)이 노출되어 소스 전극(160)과 드레인 전극(162)이 분리된다.
- <105> 이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다.
- <106> 게이트 절연막(190)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다. 데이터 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

<107> 도 10c를 참조하면, 제3 마스크 공정으로 투명전극 패턴이 형성된다. 구체적으로 데이터 패턴들이 형성된 게이트 절연막(190)상에 스퍼터링 등의 증착방법으로 투명물질이 전면 증착된다. 이어서, 제3 마스크를 이용한 포토리소그래피 공정과 식각공정을 통해 투명전극 물질이 패터닝됨으로써 화소전극(172)과 데이터 패드 보호전극(176)이 형성된다. 화소전극(172)은 드레인 전극(162)과 전기적으로 접속된다. 화소전극(172)과 데이터 패드 보호전극(176)의 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다.

<108> 그 다음, 도 10d에 도시된 바와 같이 하부기판(188)상에 보호막(170)이 전면 형성된다. 보호막(170)으로는 SiN_x , SiO_x 와 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.

<109> 도 11을 참조하면, 박막 트랜지스터, 화소전극, 게이트 패드부 및 데이터 패드부를 포함하는 다수개의 박막 트랜지스터 어레이(230)가 형성된 하부기판(210)상에 하부기판(210)과 소정간격을 두고 차단판(150)이 정렬된다. 박막 트랜지스터 어레이 기판의 패드부와 중첩되는 영역상에 위치하는 오픈부(150b)와, 패드부를 제외한 영역상에 중첩되게 위치하는 차단부(150a)를 구비한다. 여기서, 차단판(150)의 차단부(150a)는 건식 식각 공정에서 보호막 및 절연막등과 함께 식각될 수 있는 몰리브덴(Mo)을 제외한 금속으로 형성된다. 이러한 차단판(150)을 이용하여 노출된 패드부의 보호막 및 게이트 절연막은 건식 식각공정에 의해 제거됨으로써 도 12에 도시된 바와 같이 게이트 패드와 데이터 패드 보호전극이 노출되게 된다.

<110> 이와 같이 게이트 패드와 데이터 패드 보호전극이 노출된 하부기판(210)은 스크라이빙(scribing)에 의하여 다수개의 박막 트랜지스터 어레이 기판이 된다. 이어서, 도

시하지 않은 컬러필터 어레이 기판과 박막 트랜지스터 어레이 기판을 실재를 이용하여 합착하게 된다. 컬러필터 어레이 기판은 상부기판에 매트릭스 형태로 형성된 블랙 매트릭스와 이 블랙 매트릭스로 구분된 셀영역에 형성된 컬러필터와 블랙 매트릭스 및 컬러필터 위에 형성된 상부 배향막을 구비한다.

<111> 합착공정 후, 컬러필터 어레이 기판과 박막 트랜지스터 어레이 기판 사이에는 액정이 주입되어 액정패널이 완성된다.

【발명의 효과】

<112> 상술한 바와 같이, 본 발명의 실시예에 따른 액정표시패널 및 그 제조방법은 3 마스크를 채용하여 기판 구조 및 제조 공정을 더욱 단순화시킴으로써 제조단가를 더욱 절감할 수 있음과 아울러 제조 수율을 향상시킬수 있다.

<113> 또한, 본 발명의 실시예에 따른 액정표시패널 및 그 제조방법은 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판의 합착 전에 패드부를 건식 식각공정에 의해 오픈시킴으로써 포토리소그래피공정에 사용되는 재료비를 줄일 수 있다. 또한, 합착 전에 패드 오픈 공정을 실행함으로써 합착 후 발생하는 불량에 의한 식각액, 액정등의 재료비를 줄일 수 있다.

<114> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

기판상에 형성된 게이트 라인과 데이터 라인의 교차구조로 마련된 영역마다 형성된 박막 트랜지스터 및 화소전극과 상기 게이트 라인과 접속된 게이트 패드를 포함하는 게이트 패드부와 상기 데이터 라인과 접속된 데이터 패드를 포함하는 데이터 패드부를 포함하는 다수개의 박막 트랜지스터 어레이 기판을 포함하는 기판을 형성하는 단계와;

상기 패드부를 제외한 상기 기판의 나머지 영역상에 차단판을 정렬시키는 단계와;

상기 차단판을 이용한 식각공정에 의해 상기 패드부의 게이트 패드, 데이터 패드 보호전극을 노출시키는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 게이트 패드와 데이터 패드 보호전극이 노출된 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판을 합착하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시패널의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 차단판은 금속으로 이루어지는 것을 특징으로 하는 액정표시패널의 제조방법.

【청구항 4】

제 3 항에 있어서,

상기 차단판은 몰리브덴(Mo)을 제외한 금속이 이용되는 것을 특징으로 하는 액정 표시패널의 제조방법.

【청구항 5】

제 1 항에 있어서,

상기 박막 트랜지스터 어레이 기판을 형성하는 단계는

제 1 마스크 공정을 이용하여 기판상에 박막 트랜지스터의 게이트 전극, 게이트 전극과 접속되는 게이트 라인, 게이트 라인과 접속되는 게이트 패드를 포함하는 게이트 패턴을 형성하는 단계와;

상기 게이트 패턴이 형성된 기판상에 게이트 절연막을 형성하는 단계와;

제 2 마스크 공정을 이용하여 상기 게이트 절연막상에 상기 박막 트랜지스터의 소스전극 및 드레인 전극, 상기 소스전극과 접속되는 데이터 라인, 상기 데이터 라인과 접속되는 데이터 패드, 상기 게이트 라인과 중첩되는 영역에 스토리지 전극을 포함하는 소스/드레인 패턴과 상기 소스/드레인 패턴을 따라 그 하부에 형성되는 반도체 패턴을 형성하는 단계와;

제 3 마스크 공정을 이용하여 상기 드레인 전극과 스토리지 전극에 접속되는 화소전극, 상기 데이터 패드를 덮도록 형성된 데이터 패드 보호전극을 포함하는 투명전극 패턴과, 상기 투명전극 패턴이 형성된 기판상에 보호막을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조 방법.

【청구항 6】

제 1 항에 있어서,

상기 게이트 패드부의 게이트 패드를 노출시키는 단계는

상기 게이트 패드부에 형성된 보호막과 게이트 절연막을 건식 식각공정을 이용하여 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

【청구항 7】

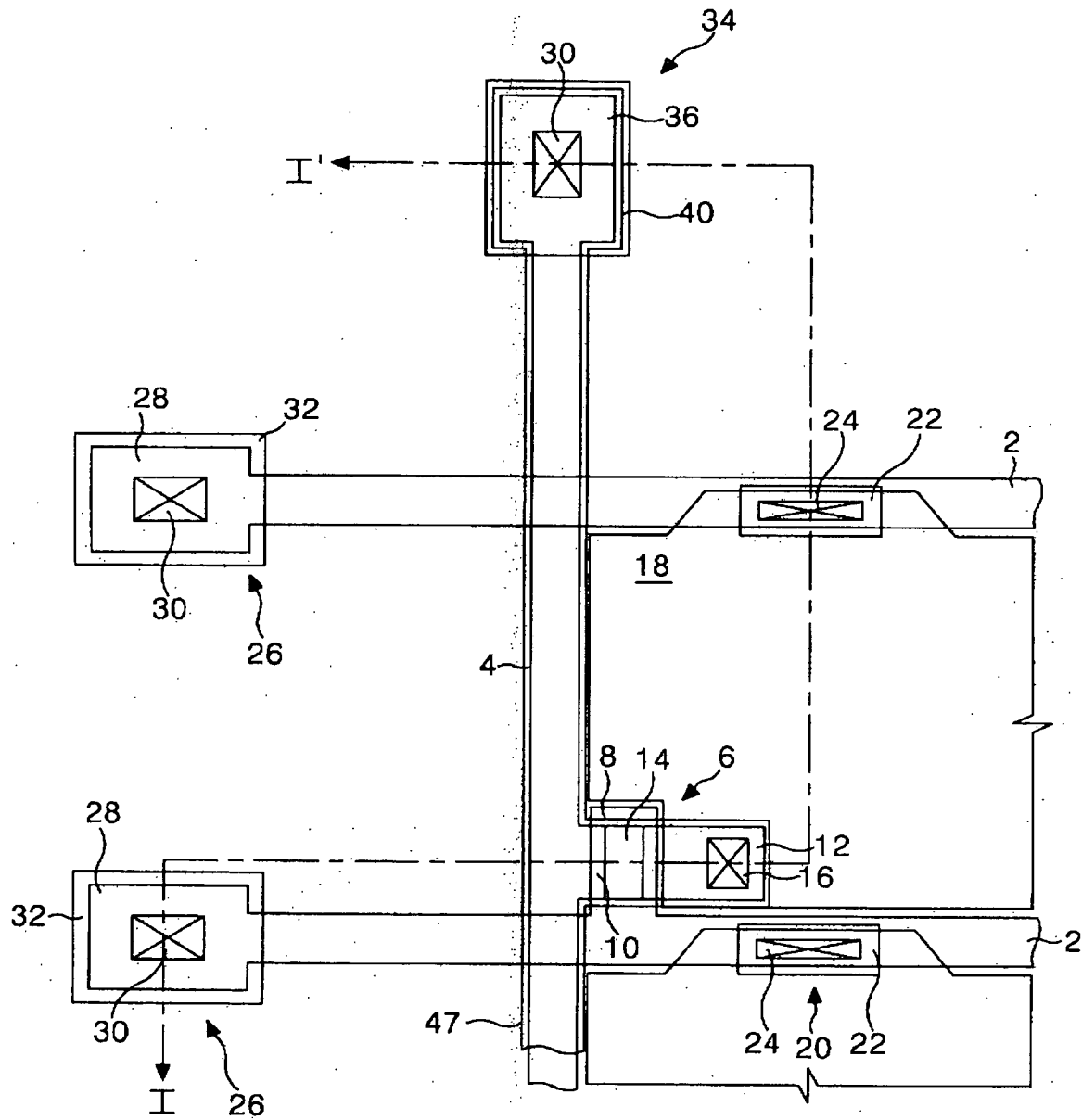
제 1 항에 있어서,

상기 데이터 패드부의 데이터 패드 보호전극을 노출시키는 단계는

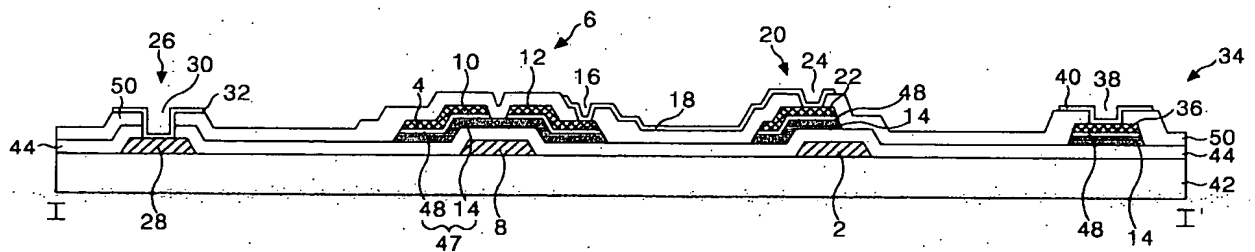
상기 데이터 패드부에 형성된 보호막과 상기 데이터 패드 보호전극과 중첩되지 않는 게이트 절연막을 건식 식각공정을 이용하여 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

【도면】

【도 1】



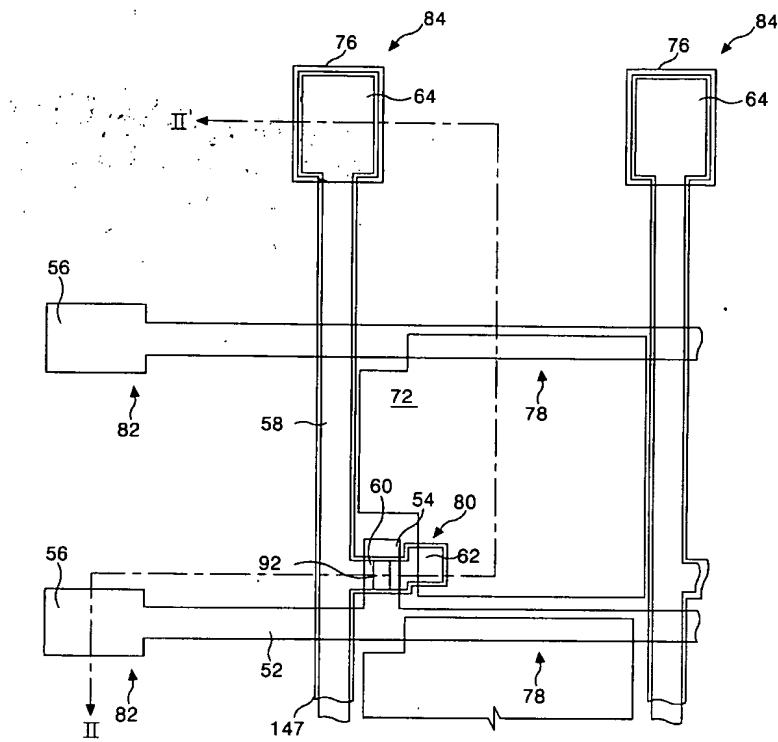
【도 2】



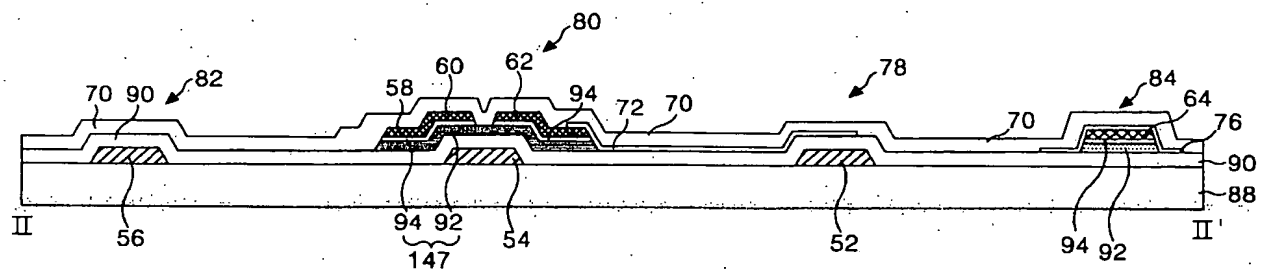
[illegible][illegible]

This cross-sectional view shows a semiconductor device with a substrate 2. A gate stack 6 is formed on the substrate, consisting of a gate dielectric 4 and a gate conductive layer 10. The gate stack is divided into regions by spacers 12. A source/drain region 14 is formed in the substrate, with a source/drain conductive layer 16 on top. A contact 18 is formed in the source/drain region. A gate 20 is formed on the substrate, with a gate dielectric 22 and a gate conductive layer 24. A source/drain region 26 is formed in the substrate, with a source/drain conductive layer 30 on top. A contact 32 is formed in the source/drain region. A gate 34 is formed on the substrate, with a gate dielectric 36 and a gate conductive layer 38. A source/drain region 40 is formed in the substrate, with a source/drain conductive layer 42 on top. A contact 44 is formed in the source/drain region. The device is shown in cross-section along line I-I'.

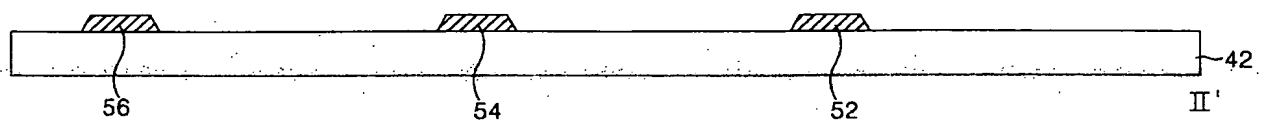
【도 4】



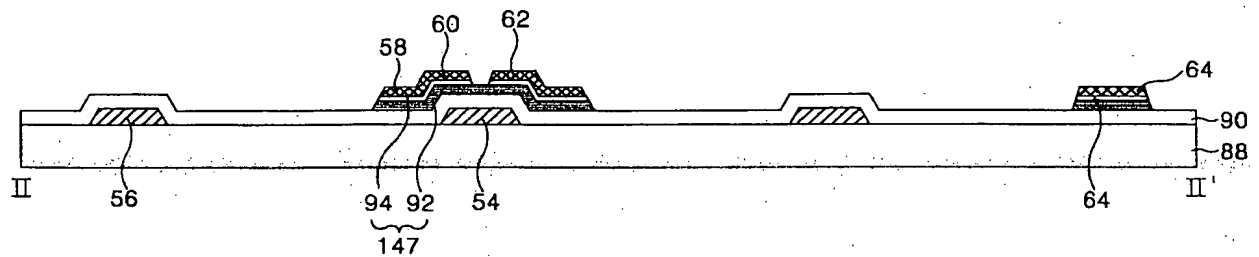
【도 5】



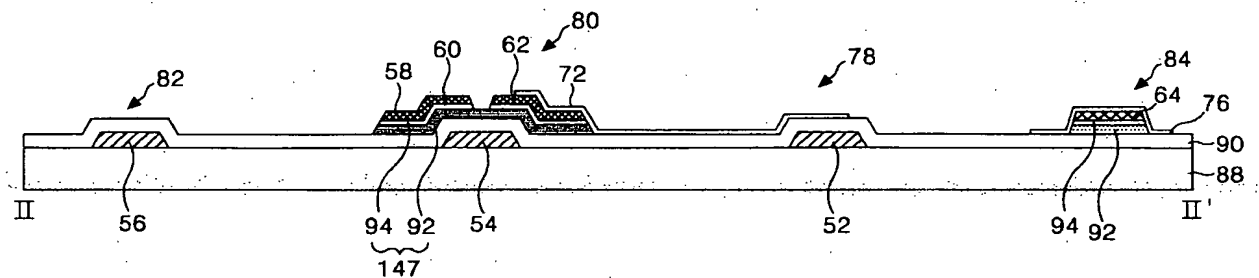
【도 6a】



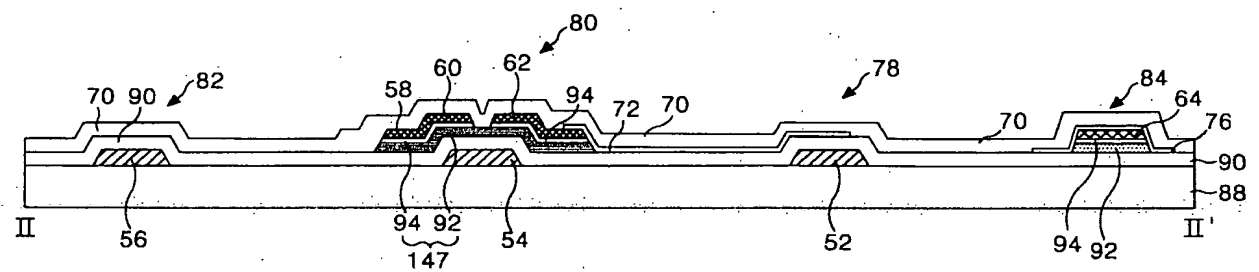
【도 6b】



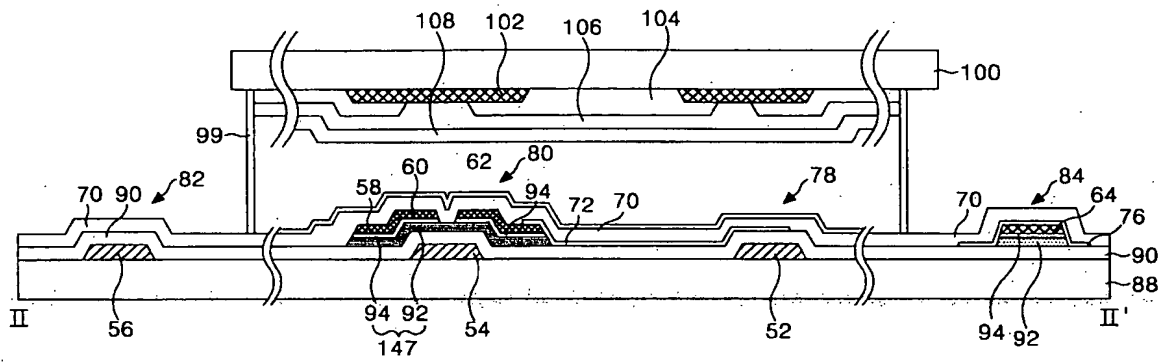
【도 6c】



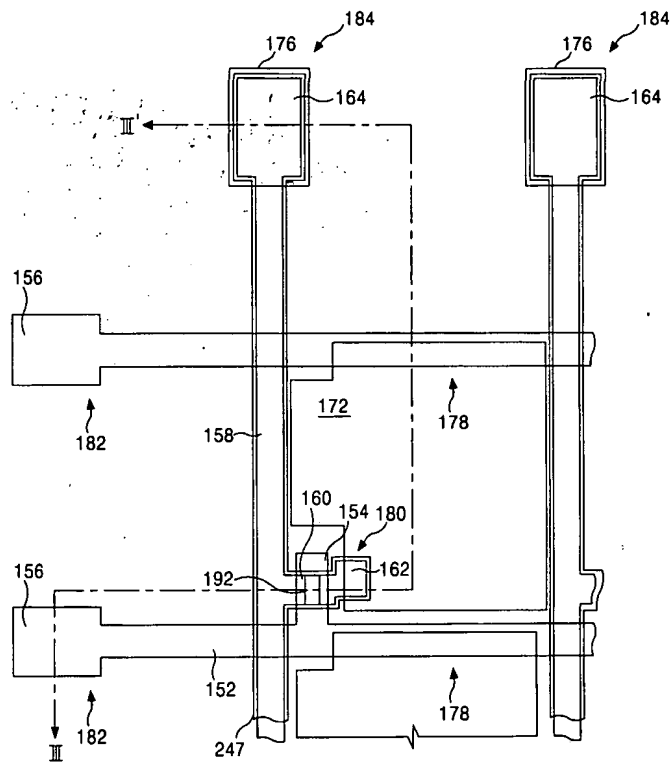
【도 6d】



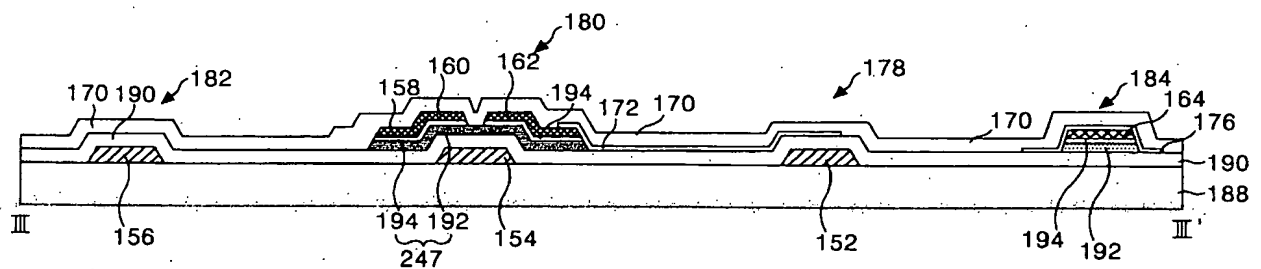
【도 6e】



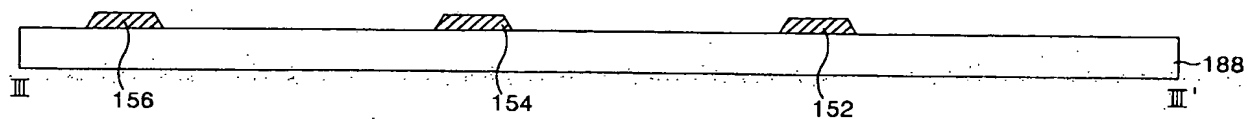
【도 8】



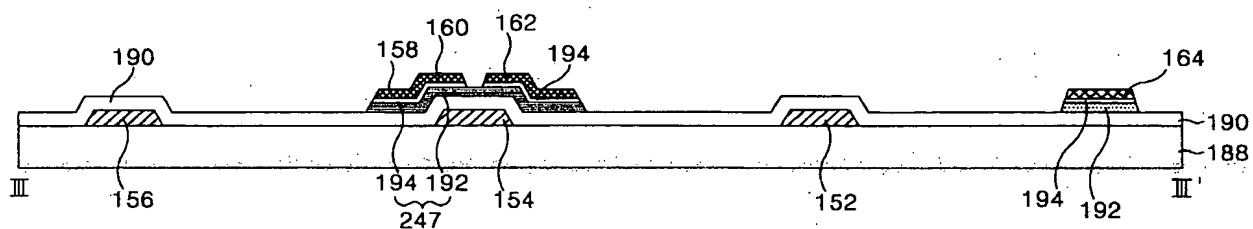
【도 9】



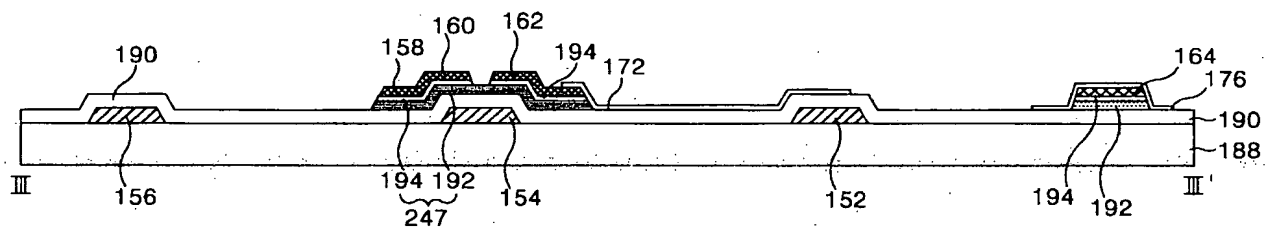
【도 10a】



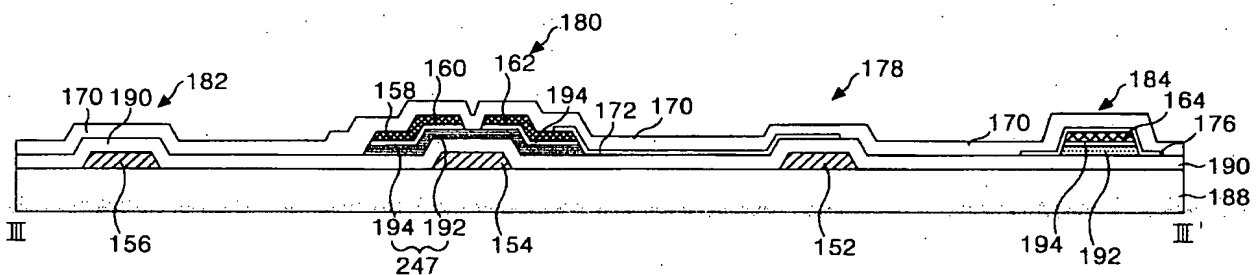
【도 10b】



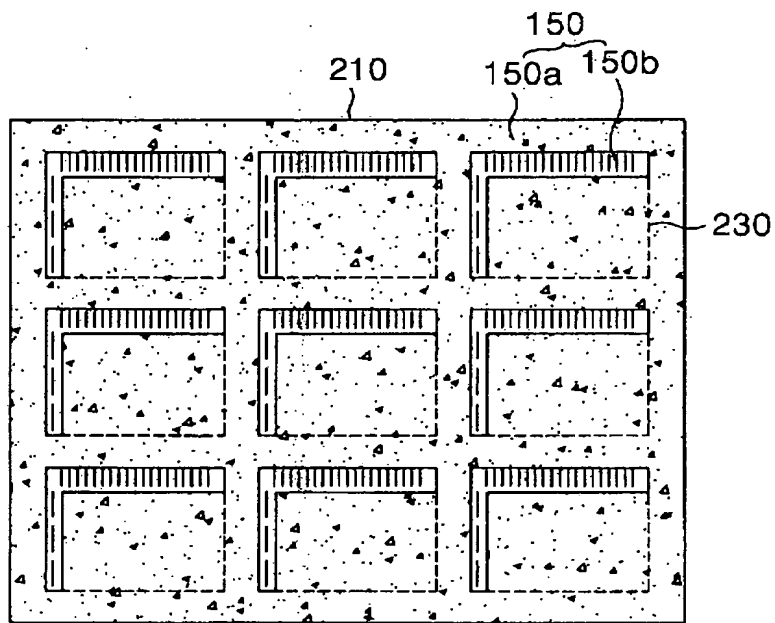
【도 10c】



【도 10d】



【도 11】



【도 12】

